


LIGHT-ACTIVATED PNP SWITCH

Patent Number: JP8097403
Publication date: 1996-04-12
Inventor(s): MARIYAMA MITSURU
Applicant(s): SHARP CORP
Requested Patent:  JP8097403
Application Number: JP19940227976 19940922
Priority Number(s):
IPC Classification: H01L29/74; H01L29/747; H01L31/111
EC Classification:
Equivalents: JP3181178B2

Abstract

PURPOSE: To provide a light-activated PNP switch wherein an AC switching can be performed by only one chip and its commutation characteristic can be improved.

CONSTITUTION: On the surface side of a silicon substrate 1 of a first conductivity type, P- or N-type, paired PNP parts are provided. Each PNP part has an anode diffusion region 2 having a second or opposite conductivity type, a gate diffusion region 3 having the second conductivity type to the anode diffusion region 2, and a cathode diffusion region 7 having the first conductivity type which is formed in the gate diffusion region 3. This paired PNP parts ch1, ch2 are provided toward opposite sides on the surface of the substrate 1. The ch1 and ch2 are separated by a groove 15 formed in the surface of the substrate 1.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-97403

(43) 公開日 平成8年(1996)4月12日

(51) IntCl.⁶

H01L 29/74
29/747
31/111

識別記号

庁内整理番号

F I

技術表示箇所

H01L 29/74

E

31/10

F

審査請求 未請求 請求項の数3 O L (全7頁)

(21) 出願番号

特願平6-227976

(22) 出願日

平成6年(1994)9月22日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 鞠山 満

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

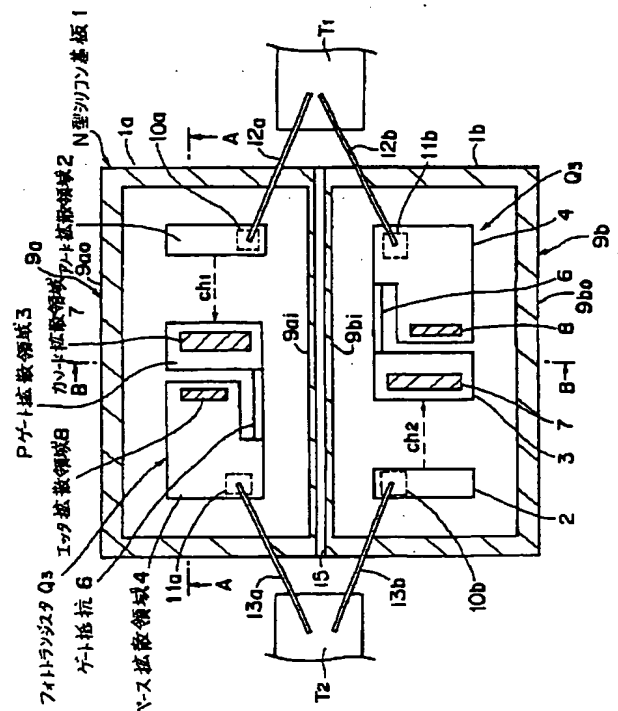
(74) 代理人 弁理士 青山 葆 (外1名)

(54) 【発明の名称】 光PNPNスイッチ

(57) 【要約】

【目的】 1チップで交流のスイッチングを行うことができ、しかも転流特性を改善できる光PNPNスイッチを提供する。

【構成】 N型またはP型のうち一方の導電型を持つシリコン基板1の表面側に、N型またはP型のうち他方の導電型を持つアノード拡散領域2と、このアノード拡散領域2に対向する上記他方の導電型を持つゲート拡散領域3と、このゲート拡散領域3内に形成され上記一方の導電型を持つカソード拡散領域3とを有するPNPN部を一对備える。この一对のPNPN部ch1, ch2は、上記基板表面の一方向両側に、互いに離間して設けられ、上記一对のPNPN部ch1, ch2の間に、上記基板表面から基板内に止まる深さを持つ切り込み溝15が形成されている。



(2)

【特許請求の範囲】

【請求項1】 N型またはP型のうち一方の導電型を持つシリコン基板の表面側に、N型またはP型のうち他方の導電型を持つアノード拡散領域と、このアノード拡散領域に対向する上記他方の導電型を持つゲート拡散領域と、このゲート拡散領域内に形成され上記一方の導電型を持つカソード拡散領域とを有するPNPN部を一对備えた光PNPNスイッチにおいて、

上記一对のPNPN部は、上記基板表面の一方向両側に、互いに離間して設けられ、

上記一对のPNPN部の間に、上記基板表面から基板内に止まる深さを持つ切り込み溝が形成されていることを特徴とする光PNPNスイッチ。

【請求項2】 請求項1に記載の光PNPNスイッチにおいて、

上記切り込み溝の深さは $3\mu\text{m}$ 乃至 $200\mu\text{m}$ の範囲内に設定されていることを特徴とする光PNPNスイッチ。

【請求項3】 請求項1または2に記載の光PNPNスイッチにおいて、

上記切り込み溝の両側の基板表面側に、上記各PNPN部の光感度を増大するためのフォトトランジスタがそれぞれ設けられていることを特徴とする光PNPNスイッチ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は光PNPNスイッチに関する。より詳しくは、交流回路のスイッチとして動作をする際の転流特性を改善した光PNPNスイッチに関する。

【0002】

【従来の技術】従来の光PNPNスイッチとしては、図5および図6に示すようなチップ構造を持つものがある。図5はチップの概略パターンレイアウト、図6は図5におけるC-C線矢視断面をそれぞれ示している。図5に示すように、この光PNPNスイッチは、N型シリコン基板101の表面側に、アノード拡散領域(P型)102と、このアノード拡散領域102に対向するPゲート拡散領域(P型)103とを、それぞれ図において上側、下側に左右反対の状態で開催している。各Pゲート拡散領域103内にはカソード拡散領域(N型)107が設けられている。これにより、アノード拡散領域102からカソード拡散領域107に向かってPNPN部が構成されている。便宜上、図5において右上側のアノード102から左上側のカソード107へ電流が流れる経路をch(チャネル)1、左下側のアノード102から右下側のカソード107へ電流が流れる経路をch(チャネル)2と呼ぶ。ch1のPゲート拡散領域103とch2のアノード拡散領域102との間にch1側のゲート抵抗(P型)106、ch2のPゲート拡散領域1

2

03とch1のアノード拡散領域102との間にch2側のゲート抵抗(P型)106がそれぞれ形成されている。ch1のカソード拡散領域107とch2のアノード拡散領域102、ch2のカソード拡散領域107とch1のアノード拡散領域102とがそれぞれ図示しないA1パターン配線で接続されている。上記各A1パターン配線の一部にボンディングパッド(破線で示す)110、111が設けられ、これらのボンディングパッド110、111がAuワイヤ112、113によってリードフレームT₁、T₂に接続されている。109はチップ周辺に設けられたチャネルストップとしてのN型拡散領域である。

【0003】なお、この例では、チップの左側周辺、右側周辺に沿ってそれぞれch1、ch2の光感度を向上させるためのフォトトランジスタQ₃、Q₃が設けられている。各フォトトランジスタQ₃は、ベース拡散領域(P型)104と、このベース拡散領域104内に形成されたエミッタ拡散領域(N型)108と、コレクタとして働くN型シリコン基板101とで構成されている。各フォトトランジスタQ₃のベース拡散領域104とエミッタ拡散領域108との間には、図6中に示すように、ベース抵抗105が存在する。

【0004】チップ全体としての等価回路は、ch1、ch2のPNPN部をそれぞれ2つのトランジスタQ₁、Q₂で表した場合、例えば図7のように表される。交流回路のスイッチとして動作するときには、端子T₁、T₂に交流電圧が印加される。例えばT₁側がT₂側よりも正電位(約1.5V以上)とする。この状態で、チップ表面に光(通常はGaAs系発光ダイオードが発する赤外光)が入射されると、まずベース領域104が発生する光電流の寄与によってch1側のフォトトランジスタQ₃がオン状態となる。すると、ch1側のPNPトランジスタQ₁のベース電流を引き出すことになり、このPNPトランジスタQ₁がオンする。続いて、このPNPトランジスタQ₁のコレクタ電流によってch1側のNPNトランジスタQ₂のベース電流が供給され、このNPNトランジスタQ₂がオンする。すると、PNPトランジスタQ₁のベース電流が供給され、正帰還によりch1側のPNPN部がオンして、端子T₁から端子T₂へ交流回路の負荷に応じたオン電流が流れる。このときch2側では、バイアス印加の向きが逆であるからPNPN部の正帰還が起らず、1次光電流のみが流れる。一方、T₂側がT₁側よりも正電位にある場合は、ch2側のPNPN部が全く同様に正帰還動作してオンし、ch1側では1次光電流のみが流れる。

【0005】なお、N型シリコン基板の不純物濃度は通常 $10^{13}\sim 10^{15}\text{cm}^{-3}$ 、各P型拡散領域の不純物濃度(ボロン等)は $10^{15}\sim 10^{19}\text{cm}^{-3}$ 、各N型拡散領域の不純物濃度(リン等)は 10^{20}cm^{-3} 以上に設定されている。

(3)

3

【0006】

【発明が解決しようとする課題】ところで、上に述べたような、1チップ内に双方向のチャネルch1、ch2を持ち、交流回路のスイッチとして用いられる素子は、転流特性が重要な評価基準となっている。つまり、正常動作では、ch1がオンしている交流の半サイクル期間中に光入射が無くなったとき、この半サイクル期間中はPNPN部の電流保持特性によりオン状態が続くが、次の半サイクルに入ると、光入射が無い限りch2はオンしない。しかし、スイッチングする交流回路にL負荷が存在する場合、交流電圧の位相よりもオン電流の位相が遅れることから、ch1がオフした時点でch2側に急峻な立ち上がりを示す電圧が印加される。このため、N型シリコン基板101中に残存している正孔がch2側のPゲート拡散領域103やベース拡散領域104（図5参照）へ移動してch2側の正帰還作用を促し、ch2がオンするという誤動作（転流失敗）を起こすことがある。

【0007】この問題を解決するために、ch1とch2とを別チップとし、2チップで双方向の光PNPNスイッチを構成したものが知られている。しかし、2チップ構成とした場合、様々な問題が生ずる。すなわち、同一フレーム上に2チップを並べてダイボンドする工程で、双方のチップが接触してチップの欠け、割れ等の不具合が生ずる。また、双方のチップ間の距離が必要以上に広がると、双方のチップと入力側の発光ダイオードチップとの距離が広がるとともに、距離のばらつきが生じる。このため、最小トリガ電流が増大したり、ばらつきが生じるという不具合が生じる。また、2チップ構成とした場合、各チップの周辺面積を確保する必要から、トータルのチップサイズが1チップ構成に比して大きくなる。しかも、アセンブリの手間も余計にかかる。このため、コストが高くつくという問題がある。

【0008】例えば、チップの分離に関連して、「沖電気研究開発」第131号、Vol.53、No.3（昭和61年7月）の第25頁には、予め素子を形成したSi基板と、保持板とを樹脂により加熱圧着し、その後ダイシングソーを用いてSi基板表面側から樹脂部分まで切り込み溝を形成して素子分離を行う方法（カナル分離法）が開示されている。しかし、この方法は、上に述べたように、Si基板と保持板との加熱圧着という余計な手間がかかり、コスト高となる欠点がある。また、上記切り込み溝は、ch1、ch2を含む双方向の素子と、同様の構成のch1、ch2を含む双方向の素子との間を分離するものであって、ch1とch2との間を分離するものではない。つまり、交流のスイッチングを行う素子の転流特性を改善しようとするものではない。

【0009】そこで、この発明の目的は、1チップで交流のスイッチングを行うことができ、しかも転流特性を改善できる光PNPNスイッチを提供することにある。

4

【0010】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の光PNPNスイッチは、N型またはP型のうち一方の導電型を持つシリコン基板の表面側に、N型またはP型のうち他方の導電型を持つアノード拡散領域と、このアノード拡散領域に対向する上記他方の導電型を持つゲート拡散領域と、このゲート拡散領域内に形成され上記一方の導電型を持つカソード拡散領域とを有するPNPN部を一对備えた光PNPNスイッチにおいて、上記一对のPNPN部は、上記基板表面の一方向両側に、互いに離間して設けられ、上記一对のPNPN部の間に、上記基板表面から基板内に止まる深さを持つ切り込み溝が形成されていることを特徴としている。

【0011】また、請求項2に記載の光PNPNスイッチは、請求項1に記載の光PNPNスイッチにおいて、上記切り込み溝の深さは $3\mu\text{m}$ 乃至 $200\mu\text{m}$ の範囲内に設定されていることを特徴としている。

【0012】また、請求項3に記載の光PNPNスイッチは、請求項1または2に記載の光PNPNスイッチにおいて、上記切り込み溝の両側の基板表面側に、上記各PNPN部の光感度を増大するためのフォトトランジスタがそれぞれ設けられていることを特徴としている。

【0013】

【作用】請求項1の光PNPNスイッチでは、シリコン基板の表面側にPNPN部を一对備えているので、ワイヤ等によってこの一对のPNPN部を逆並列に接続することによって、1チップで交流のスイッチングを行うことが可能となる。しかも、上記一对のPNPN部は互いに離間し、その間に、上記基板表面から基板内に止まる深さを持つ切り込み溝が形成されているので、この切り込み溝によってシリコン基板内の少数キャリアの移動が制限される。また、切り込み溝の側面は少数キャリアをトラップして消滅させる効果も奏する。したがって、例えばch1がオフした時、ch1側のシリコン基板中に残存している少数キャリアがch2側へ移動しにくくなる。したがって、ch2側の正帰還作用によってch2がオンするという誤動作（転流失敗）が抑制され、転流特性が改善される。

【0014】請求項2の光PNPNスイッチでは、上記切り込み溝の深さは $3\mu\text{m}$ 乃至 $200\mu\text{m}$ の範囲内に設定されている。

【0015】上記切り込み溝の深さを $3\mu\text{m}$ 以上とした理由は次の通りである。すなわち、シリコン基板の表面反転による耐圧低下防止のために、上記切り込み溝の両側に沿ってチャネルストッパが設けられる。ここで、上記切り込み溝の深さがこのチャネルストッパの深さ（通常 $3\mu\text{m}$ 以上に設定される）に達しない場合、シリコン基板内の少数キャリアの移動を制限する効果が発揮されない。そこで、切り込み溝の深さは、チャネルストッパ

5

の深さを越えるように $3\mu\text{m}$ 以上に設定するのが好ましい。

【0016】また、上記切り込み溝の深さを $200\mu\text{m}$ 以下とした理由は次の通りである。すなわち、転流特性を改善する観点からは、切り込み溝の深さはシリコン基板内の少数キャリアの拡散距離を考慮する必要がある。少数キャリアの拡散距離は、シリコン基板の不純物濃度と結晶性に依存して定まる。この種の光PNPNスイッチでは、シリコン基板とアノード拡散領域、ゲート拡散領域との接合耐圧を確保するために、シリコン基板の不純物濃度が $10^{13}\sim 10^{15}\text{cm}^{-3}$ の範囲内、典型的には 10^{14}cm^{-3} 程度に設定される。シリコン基板の結晶性は、作製工程の熱処理に依存する。結果として、少数キャリアの拡散距離は $200\mu\text{m}$ 程度となる。一方、チップ表面に切り込み溝が存在すると、アセンブリ工程でチップに外力が加わったとき、この切り込み溝に沿ってチップが割れるおそれがある。したがって、アセンブリの観点からは、切り込み溝の深さは浅い方が好ましい。そこで、切り込み溝の深さは $200\mu\text{m}$ 以下に設定するのが好ましい。

【0017】請求項3の光PNPNスイッチでは、上記切り込み溝の両側の基板表面に、上記各PNPN部の光感度を増大するためのフォトトランジスタがそれぞれ設けられているので、光感度が増大して、発光ダイオードと組み合わせたときの最小トリガ電流を低くすることが可能となる。

【0018】

【実施例】以下、この発明の光PNPNスイッチを実施例により詳細に説明する。

【0019】図1は一実施例の光PNPNスイッチの概略パターンレイアウトを示し、図2は図1におけるA-A線矢視断面、図3は図1におけるB-B線矢視断面をそれぞれ示している。

【0020】図1に示すように、この光PNPNスイッチは、N型シリコン基板1の表面側に、アノード拡散領域(P型)2と、このアノード拡散領域2に対向するPゲート拡散領域(P型)3とを、それぞれ図において上側1a、下側1bに左右反対の状態に備えている。各Pゲート拡散領域3内にはカソード拡散領域(N型)7が設けられている。これにより、チップの上側部分1a、下側部分1bで、それぞれアノード拡散領域2からカソード拡散領域7に向かってPNPN部が構成されている。

【0021】チップの上側部分1aと下側部分1bとは基板表面から基板内に止まる深さDを持つ切り込み溝15(図3参照)によって仕切られている。便宜上、図1において上側部分1aで右側のアノード2からカソード7へ電流が流れる経路をch(チャネル)1、下側部分1bで左側のアノード2からカソード7へ電流が流れる経路をch(チャネル)2と呼ぶ。

(4)

6

【0022】この例では、チップの上側部分1a、下側部分1bにそれぞれch1、ch2の光感度を向上させるためのフォトトランジスタ Q_3 、 Q_3 が設けられている。各フォトトランジスタ Q_3 は、Pゲート拡散距離3のアノード拡散領域2と反対の側に設けられたベース拡散領域(P型)4と、このベース拡散領域4内に形成されたエミッタ拡散領域(N型)8と、コレクタとして働くN型シリコン基板1とで構成されている。各フォトトランジスタ Q_3 のベース拡散領域4とエミッタ拡散領域8との間には、図2中に示すように、ベース抵抗105が存在する。

【0023】また、図1中に示すように、チップの上側部分1a、下側部分1bでは、それぞれPNPN部のPゲート拡散領域3と、フォトトランジスタ Q_3 のベース拡散領域4との間にゲート抵抗(P型)6が形成されている。

【0024】チップの上側部分1a、下側部分1bにおいて、図2に示すように、それぞれカソード拡散領域7とエミッタ拡散領域8とはA1パターン配線で接続されている。上記各A1パターン配線の一部にボンディングパッド(図1中に破線で示す)11a、11bが設けられている。また、各アノード拡散領域2にそれぞれA1パターン配線が設けられ、その一部にボンディングパッド10a、10bが設けられている。これらのボンディングパッド10a、11bがAuワイヤ12a、12bによってリードフレーム T_1 に接続される一方、ボンディングパッド11a、10bがAuワイヤ13a、13bによってリードフレーム T_2 に接続されている。

【0025】また、この例では、チップの上側部分1a、下側部分1bのそれぞれの周辺に沿ってチャネルストッパとしてのN型拡散領域9a、9bが設けられている。N型拡散領域9aは、切り込み溝15の上側に沿った部分9aiと、チップ周辺に沿った部分9aoとを含み、N型拡散領域9bは、切り込み溝15の下側に沿った部分9biと、チップ周辺に沿った部分9boとを含んでいる。

【0026】この光PNPNスイッチは公知の手法により次のようにして作製する。

【0027】①まず、図1に示すように、N型シリコン基板1の表面にP型不純物としてボロンを拡散して、各アノード拡散領域2と、各Pゲート拡散領域3とを同時に形成する。シリコン基板1の不純物濃度は 10^{14}cm^{-3} 程度である。

【0028】②次に、N型シリコン基板1の表面に再びP型不純物としてボロンを拡散して、各ベース拡散領域4と、各ゲート抵抗6とを同時に形成する。

【0029】③次に、各Pゲート拡散領域3の表面、各ベース拡散領域4の表面にそれぞれN型不純物としてリンを拡散して、各Pゲート拡散領域3、各ベース拡散領域4内にカソード拡散領域7、エミッタ拡散領域8を形

(5)

7

成する。同時に、チップ周辺と中央とに、すなわち略「日」の字状のパターンで、チャネルストップとしてのN型拡散領域を形成する。なお、この段階では、チップの中央ではN型拡散領域9 a i, 9 b iは上下に分離されておらず、連続している。このN型拡散領域9 a, 9 bの深さは通常通り3 μ mとする。

【0030】④熱処理（温度800℃、30分間）を行った後、図示しないA1パターン配線を形成する。さらに、チップ表面に図示しない保護膜を設け、この保護膜のうちボンディングパッド11 a, 11 b, 12 a, 12 bに相当する部分と、チャネルストップとしてのN型拡散領域上の部分を除去する。

【0031】⑤ウエハテストを行った後、チップの上側部分1 aと下側部分1 bとの境界に存するN型拡散領域の中央をハーフダイシングして、基板表面から基板内に止まる深さを持つ切り込み溝15を形成する。この切り込み溝15により、N型拡散領域9 a i, 9 b iを上下に分離する。

【0032】⑥続いて、チップ周辺をフルダイシングして、チップ間を分離する。

【0033】⑦ダイボンドを行った後、ボンディングパッド10 a, 11 bとリードフレームT₁とをAuワイヤ12 a, 12 bによって接続する一方、ボンディングパッド11 a, 10 bとリードフレームT₂とをAuワイヤ13 a, 13 bによって接続する。

【0034】このようにチップの上側部分1 a、下側部分1 bにそれぞれ設けたPNPN部を逆並列に接続することによって、1チップで交流のスイッチングを行うことができる。

【0035】しかも、上側部分1 aのPNPN部と下側部分1 bのPNPN部との間に切り込み溝15を形成しているので、この切り込み溝15によってN型シリコン基板1内の少数キャリアである正孔の移動が制限される。また、切り込み溝15の側面は正孔をトラップして消滅させる効果も奏する。したがって、例えばc h 1がオフした時、c h 1側のシリコン基板1中に残存している正孔がc h 2側へ移動しにくくなる。したがって、c h 2側の正帰還作用によってc h 2がオンするという誤動作（転流失敗）を抑制でき、転流特性を改善できる。

【0036】図4は、実際に切り込み溝15の深さDを変化させた場合の転流特性との相関データを示している。この図から分かるように、図1に示したパターンレイアウトのもの（図中「○」印で示す）において、切り込み溝15の深さDを0 μ m（切り込み溝なし）、50 μ m、100 μ mと増加させると、L負荷時に転流失敗する電流値（この電流値以下であれば光PNPNスイッチが正常動作する）を増大させることができた。なお、参考のために切り込み溝を深くして2チップに分離したもの（図中「◎」印で示す）は、当然ながら転流失敗は起こらなかった。また、図1に示したパターンレイアウト

8

トのものは、図5に示したパターンレイアウトのもの（図中「」印で示す）に比して、切り込み溝15が無くとも転流特性が改善されている。これは、図1のものは、図5のものに比してc h 1のPNPN部とc h 2とのPNPN部との距離が遠くなったからだと考えられる。

【0037】上記切り込み溝15の深さDは、シリコン基板1内の正孔の移動を制限する効果を発揮できるように、少なくともチャネルストップ9 a i, 9 b iの深さを越える3 μ m以上に設定するのが好ましい。

【0038】一方、チップ表面に切り込み溝15が存在すると、アセンブリ工程でチップに外力が加わったとき、この切り込み溝15に沿ってチップが割れるおそれがある。したがって、アセンブリの観点からは、切り込み溝の深さは浅い方が好ましい。ここで、主にシリコン基板1の不純物濃度10¹⁴cm⁻³程度と、上記熱処理（温度800℃、30分間）の結果として、正孔の拡散距離が200 μ m程度となる。そこで、シリコン基板1中の正孔の拡散距離を考慮して、切り込み溝の深さは200 μ m以下に設定するのが好ましい。

【0039】なお、この実施例では、シリコン基板1の導電型をN型としたが、当然ながらこれに限られるものではない。シリコン基板1の導電型をP型とし、これに応じて他の拡散領域の導電型を上記実施例のものと反対にしても良い。

【0040】

【発明の効果】以上より明らかなように、請求項1の光PNPNスイッチは、シリコン基板の表面側にPNPN部を一对備えているので、ワイヤ等によってこの一对のPNPN部を逆並列に接続することによって、1チップで交流のスイッチングを行うことができる。しかも、上記一对のPNPN部は互いに離間し、その間に、上記基板表面から基板内に止まる深さを持つ切り込み溝が形成されているので、この切り込み溝によってシリコン基板内の少数キャリアの移動が制限される。また、切り込み溝の側面は少数キャリアをトラップして消滅させる効果も奏する。したがって、例えばc h 1がオフした時、c h 1側のシリコン基板中に残存している少数キャリアがc h 2側へ移動しにくくなる。したがって、c h 2側の正帰還作用によってc h 2がオンするという誤動作（転流失敗）を抑制でき、転流特性を改善できる。

【0041】また、請求項2の光PNPNスイッチでは、上記切り込み溝の深さは3 μ m乃至200 μ mの範囲内に設定されているので、転流特性を有効に改善できる上、アセンブリ工程でチップに外力が加わったとき、チップの割れ欠けを無視できるレベルに抑えることができる。

【0042】また、請求項3の光PNPNスイッチでは、上記切り込み溝の両側の基板表面側に、上記各PNPN部の光感度を増大するためのフォトリソグラフィ

(6)

9

それぞれ設けられているので、光感度を増大させて、発光ダイオードと組み合わせたときの最小トリガ電流を低くすることができる。

【図面の簡単な説明】

【図1】 この発明の一実施例の光PNPNスイッチを示す平面図である。

【図2】 図1におけるA-A線矢視断面図である。

【図3】 図2におけるB-B線矢視断面図である。

【図4】 上記光PNPNスイッチの切り込み溝の深さと転流特性との関係を示す図である。

【図5】 従来の光PNPNスイッチを示す平面図である。

10

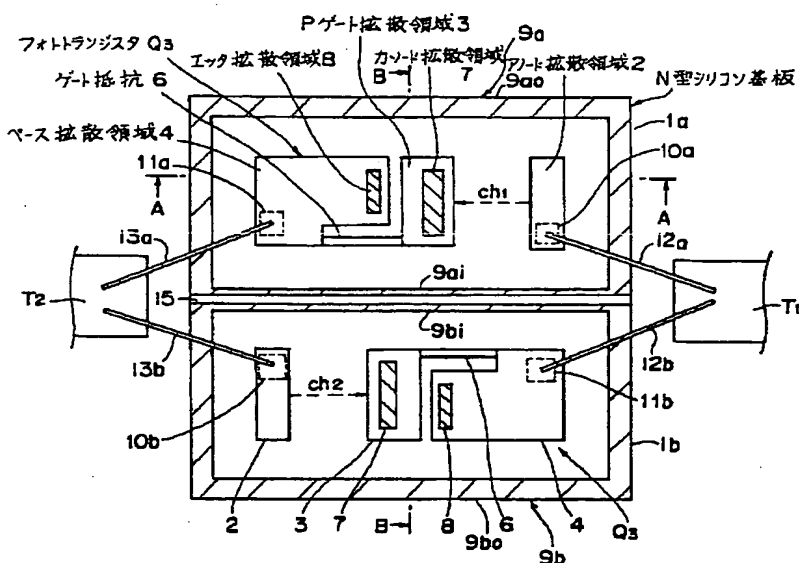
【図6】 図5におけるC-C線矢視断面図である。

【図7】 図5に示した光PNPNスイッチの等価回路を示す図である。

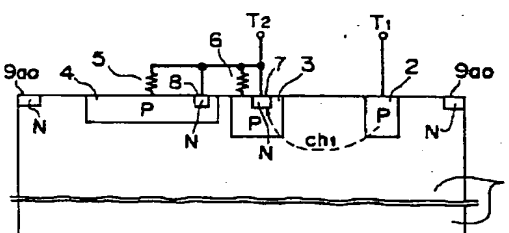
【符号の説明】

- | | |
|------------|-----------|
| 1 N型シリコン基板 | 2 アノード |
| 拡散領域 | |
| 3 Pゲート拡散領域 | 4 ベース拡散領域 |
| 7 カソード拡散領域 | 8 エミッタ |
| 10 拡散領域 | |
| 15 切り込み溝 | 9a, 9b |
| チャンネルストップ | |

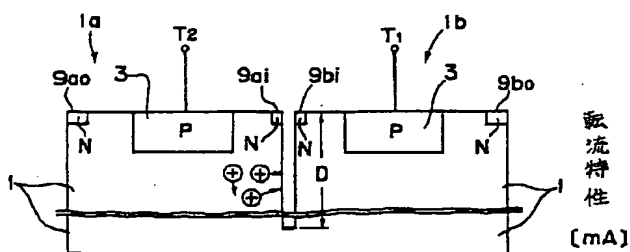
【図1】



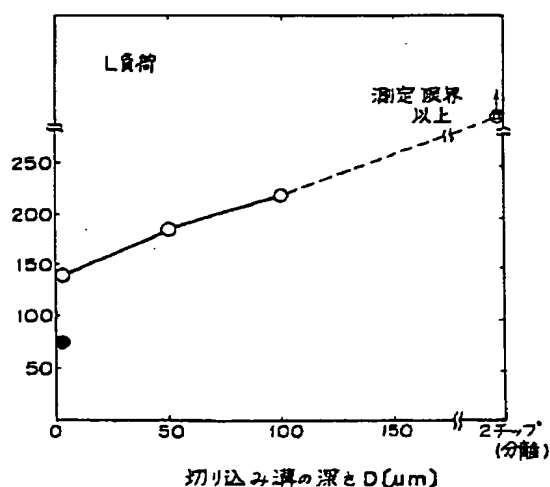
【図2】



【図3】

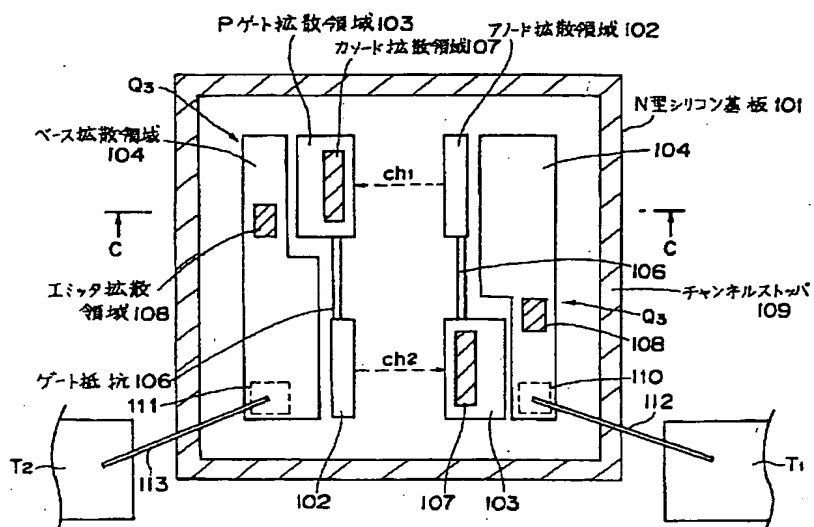


【図4】

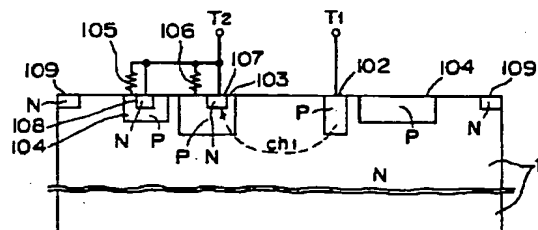


(7)

【図 5】



【図 6】



【圖 7】

